

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069829
(43)Date of publication of application : 11.03.1997

(51)Int.Cl. H04L 7/04
H04L 7/00
H04L 25/38

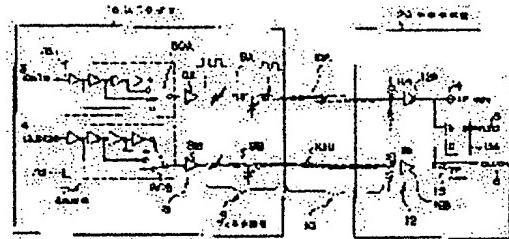
(21)Application number : 07-248768 (71)Applicant : KYOCERA CORP
(22)Date of filing : 31.08.1995 (72)Inventor : KUSUMI TADAHARU
OSADA YOSHIHIRO

(54) SYNCHRONOUS DATA TRANSMISSION SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To enable the setting of optimum delay of canceling line delay by minimizing an unwanted noise radiated from a synchronizing clock or a data signal by a simple filter circuit.

SOLUTION: In the case of synchronous data transmission with transmission and reception equipments separated from each other, at transmission side equipment 1A, the undesired noise generated at the time of transmission is minimized by using a filter circuit. The signal delay generated when passing through the filter circuit 9 or driving on a long-distance line causing large line delay can be canceled by fine adjustment at a programmable delay circuit 7. Then, the programmable delay circuit 7 is provided so that it can insert arbitrary delay less than a reference clock of the system to one or both the synchronizing clock and synchronizing data. On the final transmission line, the synchronizing clock and synchronizing data are individually subjected to transmission line matching adjustment and thereafter, the phases of synchronizing clock and synchronizing data are adjusted without affecting the transmission line matching state.



LEGAL STATUS

[Date of request for examination]	17.11.1999
[Date of sending the examiner's decision of rejection]	25.06.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3367009
[Date of registration]	08.11.2002
[Number of appeal against examiner's decision of rejection]	2002-13937
[Date of requesting appeal against examiner's decision of rejection]	25.07.2002
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-69829

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 7/04			H 04 L 7/04	B
7/00			7/00	Z
25/38		9199-5K	25/38	A

審査請求 未請求 請求項の数10 FD (全13頁)

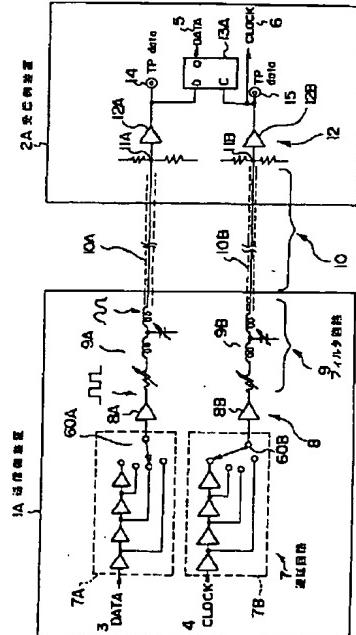
(21)出願番号	特願平7-248768	(71)出願人	000006633 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地 の22
(22)出願日	平成7年(1995)8月31日	(72)発明者	楠美 忠晴 三重県度会郡玉城町野篠704-19 京セラ 株式会社三重玉城工場内
		(72)発明者	長田 嘉浩 三重県度会郡玉城町野篠704-19 京セラ 株式会社三重玉城工場内
		(74)代理人	弁理士 高橋 昌久 (外1名)

(54)【発明の名称】 同期式データ伝送方式

(57)【要約】

【課題】 同期式データ伝送において同期クロックやデータ信号から放射される不用なノイズを簡単なフィルタ回路にて最低限にできる。

【解決手段】 同期クロックと同期データ信号の片方又は双方の出力を適当に遅延できるプログラマブル遅延回路を送信側に搭載する。伝送信号を最低限必要な周波数成分のみにでき、またそのためのフィルタ回路も受動素子のみで簡単に構成できる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】送信側から伝送したデータを受信側においてクロック信号に同期して受信する同期式データ伝送方式において、
送信側と受信側で形成する伝送系内に、フィルタ回路及び、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けたことを特徴とする同期式データ伝送方式。

【請求項2】前記フィルタ回路及び前記遅延回路ともに送信側装置に調整可能に配置したことを特徴とする請求項1記載の同期式データ伝送方式。

【請求項3】前記遅延回路は、データ伝送系若しくは同期クロック信号伝送系の一方に配置したことを特徴とする請求項2記載の同期式データ伝送方式。

【請求項4】受信側に設けられた基本クロック信号発振源、この基本クロック信号発振源からの信号を受け、同期クロック信号を送出する遅延回路、前記基本クロック信号発振源からの信号を送信側に伝達するクロック信号伝送用の第1フィルタ回路、同期クロック信号に同期して送信側からのデータを受信するデータ同期受信手段と送信側に設けられたデータ伝送用の第2フィルタ回路、前記クロック信号に規制され前記データを前記第2フィルタ回路を介して伝送するデータ伝送手段とを備え、

受信側に設けた遅延回路により同期クロック信号とデータ信号の位相を微調整することを特徴とする請求項1記載の同期式データ伝送方式。

【請求項5】クロック同期式データ伝送によってラスタスキャン印字画像データを露光装置に伝送するためのラスタスキャン印字画像同期送信装置と、

クロックに同期して同期式データを受信しラスタスキャン画像データとして露光させる露光装置とを備えるプリンタ装置において、

前記画像同期送信装置と前記露光装置で形成する伝送系内に、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けたことを特徴とする請求項1記載の同期式データ伝送方式。

【請求項6】プリンタ装置の画像生成を主に行なうためのプリンタ画像描画用CPU装置と、プリンタ装置の機構タイミング制御を行なうためのプリンタエンジン制御用CPU装置とを備えるプリンタ装置において、

クロック同期式データ伝送によって前記プリンタ画像描画用CPU装置から前記プリンタエンジン制御用CPU装置へ、または、その逆にコマンド伝送を行なうためのプログラム可能な遅延回路を設けたことを特徴とする請求項1記載の同期式データ伝送方式。

【請求項7】プリンタ装置本体の制御を行なうためのプリンタ制御用CPU装置と、

プリンタ装置に付属する入出力装置を制御する入出力制御用CPU装置とを備えるプリンタ装置において、

クロック同期式データ伝送によって前記プリンタ制御用CPU装置から前記プリンタ入出力制御用CPU装置へ、または、その逆にコマンド伝送を行う同期送受信装置内に同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けたことを特徴とする請求項1記載の同期式データ伝送方式。

【請求項8】プリンタ装置本体の制御を行なうためのプリンタ制御用CPU装置と、
プリンタ装置に付属するもしくはオプションで接続できるペーパーハンドリング装置を制御するペーパーハンドリング制御用CPU装置とを備えるプリンタ装置において、

クロック同期式データ伝送によってプリンタ制御用CPU装置からペーパーハンドリング制御用CPU装置へ、または、その逆にコマンド伝送を行う同期送受信装置内に、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けたことを特徴とする請求項1記載の同期式データ伝送方式。

【請求項9】一方の送受信装置から伝送したデータを他方の送受信装置においてクロック信号に同期して受信する両装置間で形成する伝送系内に、フィルタ回路及び、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けたことを特徴とする同期式データ伝送方式であって、

前記一方の送受信装置に、
基本クロック信号発振源と、
この基本クロック信号発振源からの信号を受け、同期クロック信号を送出する第1遅延回路と、

前記基本クロック信号発振源からの信号を前記他方の送受信装置に伝達するクロック信号伝送用のフィルタ回路と、
前記第1遅延回路の出力端に接続された第2遅延回路と、

この第2遅延回路の同期クロック信号に同期して前記他方の送受信装置からのデータを受信するデータ同期受信手段とを備え、
前記一方の送受信装置に設けられた基本クロック信号発振源を用いて前記第1及び第2遅延回路により同期クロック信号とデータ信号の位相を微調整することを特徴とする同期式データ伝送方式。

【請求項10】プリンタ装置の画像生成を主に行なうためのプリンタ画像用CPU装置と、プリンタ装置の機構タイミング制御を行なうためのプリンタエンジン制御用CPU装置とを備えるプリンタ装置において、
クロック同期式データ伝送によって前記プリンタ画像用CPU装置から前記プリンタエンジン制御用CPU装置へ、または、その逆にコマンド伝送を行なうためのプログラム可能な遅延回路を設けたことを特徴とする請求項9記載の同期式データ伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期式データ伝送方式、更に詳しくは、データ伝送系内に、フィルタ回路及び、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けた同期式データ伝送方式であり、特に、離れたCPU間のデータ伝送を行うプリンタ装置に用いるのに適した同期式データ伝送方式に関するものである。

【0002】

【従来の技術】従来の同期式データ伝送では、予め固定されたタイミングにて同期クロックと同期データの出力制御を行うか、システム基本クロックを単位として同期クロックと同期データの出力制御をプログラマブルに行っている。例えば、特開昭62-202624号公報においては、発振器の源振により、数種類の位相のずれた、たとえば1/8周期ずつ遅延させたクロックを作り、このクロックと同期信号との位相関係により、データ取込に最適なクロックを選択し、これを使用することによりデータ転送周波数と同一周波数のクロックのみでデータを受信するものである。

【0003】

【発明が解決しようとする課題】一方、プリンタ装置の露光装置においては、通常、装置の上部に取り付けられ、データ伝送距離が長くなるため、または露光装置の入力がシリアル伝送を受信するのに適したものであることが多いため、シリアル伝送方式でラスタスキャニング印字画像データを送信することが多い。同様に、プリンタ装置内の離れたモジュール間において、シリアルデータまたは何ビットかのパラレルデータの伝送が、データ送信側もしくはデータ受信側から出力される同期クロックに従った同期式データ伝送によって行われることが多い。

【0004】特に、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路が必要であることが多く、該フィルタ回路を通過するとき、または回路遅延の大きい長距離回線をドライブするときに信号遅延が発生する。しかしながら、前記従来技術においては伝送路インピーダンスマッチングや波形整形は行われていない。言い換れば、上述した送受信装置間が離れた同期式データ伝送におけるフィルタ回路の存在により信号遅延を問題にしたものではない。

【0005】本発明の目的は、この問題を解決し、回線遅延を相殺する最適な遅延を設定することができる同期式データ伝送方式を提供することである。本発明の他の目的は、送受信装置間の長い伝送系において、回線遅延を相殺する最適な遅延を設定することができる同期式データ伝送方式を提供することである。本発明の他の目的は、回線遅延を相殺する最適な遅延調整操作が簡単にできる同期式データ伝送方式を提供することである。本発明の他の目的は、プリンタ装置に適用して、最適な同期

式データ伝送方式を提供することである。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明は、送信側から伝送したデータを受信側においてクロック信号に同期して受信する同期式データ伝送方式において、送信側と受信側で形成する伝送系内に、フィルタ回路及び、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けて構成した。

【0007】このように構成したので、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路で防止し、信号が該フィルタ回路を通過するとき、または回路遅延の大きい長距離回線をドライブするときに発生する信号遅延を遅延回路で微調整して相殺することができる。

【0008】そして、同期クロック及び同期データの片方または双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路を設けるように構成したので、最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えて同期クロックと同期データ間の位相を調整することができる。

【0009】また、前記フィルタ回路及び前記遅延回路ともに送信側装置に調整可能に配置して構成すると好ましい。両者を送信側装置に配置すると、両者の調整を離れた位置で行なうことなく、調整操作が楽に、簡単に行なうことができる。

【0010】また、前記遅延回路は、データ伝送系若しくは同期クロック信号伝送系の一方に配置して構成すると好ましい。データ伝送系とクロック信号伝送系とに遅延回路を設けて調整すると、お互いのステップ数の合計数の微調整が可能であり、調整レンジが広くなるが、量産効果による部品の均一化で、フィルタ回路の調整幅も狭いレンジで治まるようになると、遅延回路の調整幅は小さくよくなり、その場合には遅延回路は一方だけで足りる。

【0011】また、受信側に設けられた基本クロック信号発振源、この基本クロック信号発振源からの信号を受け、同期クロック信号を送出する遅延回路、前記基本クロック信号発振源からの信号を送信側に伝達するクロック信号伝送用の第1フィルタ回路、同期クロック信号に同期して送信側からのデータを受信するデータ同期受信手段と送信側に設けられたデータ伝送用の第2フィルタ回路、前記クロック信号に規制され前記データを前記第2フィルタ回路を介して伝送するデータ伝送手段とを備え、受信側に設けた遅延回路により同期クロック信号とデータ信号の位相を微調整するように構成すると好ましい。

【0012】このように構成すると、受信側に設けられた基本クロック信号発振源から送信側に基本クロック信

号が送出され、この信号の送出中にデータが伝送される。具体的には、該信号パレス波形がオンのときデータが伝送され、オフのときデータ伝送は中断される。よって、受信側において、データの要求及び停止の操作を行うことができる。したがって、データ送信側において信号をいれて受信側にデータを伝送しなくとも、受信側における基本クロック信号を伝送するという簡単な操作でデータを受けることができるため、命令系が簡素化される。

【0013】また、本同期式データ伝送方式をプリンタ装置に適用し、クロック同期式データ伝送によってラスタスキャニ印字画像データを露光装置に伝送するためのラスタスキャニ印字画像同期送信装置と、クロックに同期して同期式データを受信しラスタスキャニ印字データとして露光させる露光装置とを備えるプリンタ装置において、前記画像同期送信装置と前記露光装置で形成する伝送系内に、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けて構成すると好ましい。

【0014】このように構成すると、前記画像同期送信装置と前記露光装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0015】また、本同期式データ伝送方式をプリンタ装置に適用し、プリンタ装置の画像生成を行なうためのプリンタ画像描画用CPU装置と、プリンタ装置の機構タイミング制御を行なうためのプリンタエンジン制御用CPU装置とを備えるプリンタ装置において、クロック同期式データ伝送によって前記プリンタ画像描画用CPU装置から前記プリンタエンジン制御用CPU装置へ、または、その逆にコマンド伝送を行なうためのプログラム可能な遅延回路を設けて構成すると好ましい。

【0016】このように構成すると、前記プリンタ画像用CPU装置と前記プリンタエンジン制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0017】また、本同期式データ伝送方式をプリンタ装置に適用し、プリンタ装置本体の制御を行なうためのプリンタ制御用CPU装置と、プリンタ装置に付属する入出力装置を制御する入出力制御用CPU装置とを備えるプリンタ装置において、クロック同期式データ伝送によって前記プリンタ制御用CPU装置から前記プリンタ入出力制御用CPU装置へ、または、その逆にコマンド伝送を行う同期送受信装置内に同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けて構成すると好ましい。

【0018】このように構成すると、前記入出力制御用

CPU装置と前記プリンタ制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0019】また、本同期式データ伝送方式をプリンタ装置に適用し、プリンタ装置本体の制御を行なうためのプリンタ制御用CPU装置と、プリンタ装置に付属するもしくはオプションで接続できるペーパーハンドリング装置を制御するペーパーハンドリング制御用CPU装置とを備えるプリンタ装置において、クロック同期式データ伝送によってプリンタ制御用CPU装置からペーパーハンドリング制御用CPU装置へ、または、その逆にコマンド伝送を行う同期送受信装置内に、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けて構成すると好ましい。

【0020】このように構成すると、前記プリンタ制御用CPU装置と前記ペーパーハンドリング制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0021】そして、上述のラスタスキャニ印字画像データ送信装置において、同期クロック及び同期データの片方または双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路を設けるように構成したので、プリンタ装置内の最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えて同期クロックと同期データ間の位相を調整することができる。

【0022】また、請求項9記載の同期式データ伝送方式は、一方の送受信装置から伝送したデータを他方の送受信装置においてクロック信号に同期して受信する両装置間で形成する伝送系内に、フィルタ回路及び、同期クロック信号とデータ信号の位相を微調整するためのプログラム可能な遅延回路を設けた同期式データ伝送方式であって、前記一方の送受信装置に、基本クロック信号発振源と、この基本クロック信号発振源からの信号を受け、同期クロック信号を送出する第1遅延回路と、前記基本クロック信号発振源からの信号を前記他方の送受信装置に伝達するクロック信号伝送用のフィルタ回路と、前記第1遅延回路の出力端に接続された第2遅延回路と、この第2遅延回路の同期クロック信号に同期して前記他方の送受信装置からのデータを受信するデータ同期受信手段とを備え、前記一方の送受信装置に設けられた基本クロック信号発振源を用いて前記第1及び第2遅延回路により同期クロック信号とデータ信号の位相を微調整するように構成したことを特徴とする。

【0023】このように構成すると、前記一方の送受信

装置に設けられた同一の基本クロック信号発振源を用いて前記第1及び第2遅延回路により送信用及び受信用の同期をとっているので、前記遅延回路の調整幅を第1及び第2遅延回路ともに同じに設定でき、言い換えれば別々の基本クロック信号発振源を用いた場合は、その発振源の基本クロックに応じて遅延回路を設計することが必要であるが、同一発振源を用いるために同じ遅延回路を設ければよい。

【0024】また、本同期式データ伝送方式をプリンタ装置に適用し、プリンタ装置の画像生成を主に行なうためのプリンタ画像描画用CPU装置と、プリンタ装置の機構タイミング制御を行なうためのプリンタエンジン制御用CPU装置とを備えるプリンタ装置において、クロック同期式データ伝送によって前記プリンタ画像描画用CPU装置から前記プリンタエンジン制御用CPU装置へ、または、その逆にコマンド伝送を行なうためのプログラム可能な遅延回路を設けて構成すると好ましい。

【0025】このように構成すると、前記プリンタ画像用CPU装置と前記プリンタエンジン制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施例を例示的に詳しく述べる。但しこの実施例に記載されている構成部品の寸法、材質、形状、その相対的配置等は特に特定的な記載がないかぎりは、この発明の範囲をそれに限定する趣旨ではなく、単なる説明例にすぎない。

【0027】図1は、バースト転送タイプの同期伝送送受装置（送信側装置1A、受信側装置2A）を示す回路の概略構成図、図2は、データ要求タイプの同期伝送送受装置（送信側装置1B、受信側装置2B）を示す回路の概略構成図、図3は、バースト転送タイプの他の実施例に係る同期伝送送受装置（送信側装置1C、受信側装置2C）を示す回路の概略構成図、図4は、同期伝送送受信装置27、及び28を示す回路の概略構成図、図5は、調整ポイント14、15の波形図、図6は、プリンタ装置のラスタスキャン印字画像生成装置のブロック図、図7は、プリンタ装置の露光装置の構成図、図8は、プリンタ装置のラスタスキャン印字画像生成装置と露光装置との実施例に係るブロック構成図、図9は、プリンタ画像描画用CPU装置36とプリンタエンジン制御用CPU装置37の関係を示すブロック図、図10は、キーボード装置45とプリンタ制御用CPU装置46の関係を示すブロック図、図11は、プリンタ制御用CPU装置55とオプション給紙装置54の関係を示すブロック図である。

【0028】図1において、送信側装置1Aと受信側装

置2Aは伝送路10により接続されており、3は送信同期データ、4は送信同期クロック、5は受信データ、6は受信同期クロックを示す。送信側装置1A内には、データ側遅延回路7A、クロック側遅延回路7Bで構成されるプログラマブル遅延回路7が設けられ、この遅延回路7はロータリースイッチ形式の調整手段60A、60Bに接続され、該調整手段はラインドライバー8、フィルタ回路9に接続され、伝送路10により受信側装置2Aに接続している。

【0029】受信側装置2Aにおいては、データ伝送路10Aに接続された終端11Aは、ラインレシーバー12Aに接続され、該ラインレシーバー12AはDフリップフロップ13AのD端子に接続されている。また、伝送路10Bに接続された終端11Bは、ラインレシーバー12Bに接続され、該ラインレシーバー12BはDフリップフロップ13AのC端子に接続されている。フリップフロップ13Aの入力側に設けられたデータ調整ポイント14、クロック調整ポイント15は、それぞれオシロスコープ等の測定器に接続して、該ポイントの波形を観測するポイントである。

【0030】図1の第1実施例では、受信側装置2側でデータ要求／停止の操作が行えないバースト転送タイプの同期伝送送受装置を用いた例である。送信側装置1Aでは、受信同期データ3、送信同期クロック4は共に任意に設定可能なプログラマブル遅延回路7を通過したあと、ラインドライバー8により所定の電圧電流レベルに調整され、フィルタ回路9を調整して波形整形、インピーダンス調整及び不要輻射の除去対策がなされる。

【0031】よって、フィルタ回路9を通過した送信同期データ及び送信同期クロック信号は、伝送路10に送出されるが、伝送路10の信号は不要周波数成分の少ないものとなっている。受信側装置2Aでは、インピーダンス調整、電圧レベル調整が行われたあと、終端11によってラインレシーバー12によって受信される。ラインレシーバー12で受信されたデータ及びクロック信号を用いて、フリップフロップ13Aによりデータサンプリングを行い受信データ5として受信側装置2Aで使用される。

【0032】受信側装置2Aでは送信側装置1Aのプログラマブル遅延回路7の調整用にデータ調整ポイント14、クロック調整ポイント15を設けている。すなわち、図5に示すような調整ポイントでの波形を観測しながら、データ側遅延回路7Aの調整手段60A、またはクロック側遅延回路7Bの調整手段60Bを操作して、もしくは両調整手段60A、60Bを調整して遅延回路7の時定数の調整を行う。

【0033】上述したように、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路9で防止し、信号が該フィルタ回路9を通過するとき、または回路遅延の大きい長距離回線をド

ライブするときに発生する信号遅延を遅延回路7で微調整して相殺することができる。

【0034】そして、同期クロック及び同期データの片方または双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路7を設けるように構成したので、最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えるに同期クロックと同期データ間の位相を調整することができる。

【0035】本実施例では、前記フィルタ回路及び前記遅延回路ともに送信側装置に調整可能に配置して構成しているので、両者を送信側装置に配置すると、送信側装置からのデータ及びクロック信号の伝送開始操作及び両者の調整を離れた位置で行なうことがなく、送信装置側に集中して設けることができ、調整操作が楽に、簡単に行なうことができる。

【0036】また、前記遅延回路は、データ伝送系及び同期クロック信号伝送系にそれぞれ設けているが、必ずしもこれに限定されるものではなく、データ伝送系若しくは同期クロック信号伝送系の一方に配置して構成してもよいものである。データ伝送系とクロック信号伝送系とに遅延回路を設けて調整すると、お互いのステップ数の合計数微調整が可能であり、調整レンジが広くなるが、量産効果による部品の均一化で、フィルタ回路の調整幅も狭いレンジで治まるようになると、遅延回路の調整幅は小でもよくなり、その場合には遅延回路は一方だけで足りる。

【0037】図2は、第2実施例であるデータ要求タイプの同期伝送受装置の概略回路図である。このタイプは、送信要求同期基本クロック16Aにより受信側でデータ要求／停止の操作を行うことができる。図1と同一部分は同一符号を用いる。図2において、送信側装置1Bと受信側装置2Bは伝送路10により接続されており、送信側装置1Bには送信同期データ3が、ラインドライバー8A、フィルタ回路9A、及び伝送路10Aを介して受信側装置2Bに接続されている。また、送信側装置1Bは後述する受信側装置2Bの基本クロック16Aをラインレシーバ12Bを介して送信制御クロック16Bを受信するように構成されている。

【0038】受信側装置2Bには、データ伝送路10Aに接続された終端11Aは、ラインレシーバ12Aに接続され、該ラインレシーバ12AはDフリップフロップ13BのD端子に接続されている。また、基本クロック16Aが入力端61に入来するクロック側遅延回路7Cで構成されるプログラマブル遅延回路7が設けられ、この遅延回路7Cはロータリースイッチ形式の調整手段60Cを介して、Dフリップフロップ13BのC端子に接続されている。

【0039】また、前記入力端61は、ラインドライバー8B、フィルタ回路9B、伝送路10Bを介してライ

ンレシーバ12Bに接続され、該ラインレシーバ12Bに伝送されたクロック信号16Bにより、送信側装置1Bのデータ3が伝送路10Aを介して受信側装置2Bに伝送されるように構成されている。このような構成により、受信側に設けられた基本クロック信号発信源から送信側に基本クロック信号16Aが発信され、この信号の発信中にデータが伝送される。

【0040】本第2実施例は、フリップフロップ13Bの入力側に設けられたデータ調整ポイント14、クロック調整ポイント15において波形を観測しながら、図5に示すように、受信側装置2Bのクロック側遅延回路7Cの調整手段60Cを操作して遅延回路の時定数の調整を行う。

【0041】上述したように、受信側に設けられた基本クロック信号発振源から送信側に基本クロック信号16Aが送出され、この信号の送出中にデータが伝送される。具体的には、該信号パルス波形16Bがオンのときデータが伝送され、オフのときデータ伝送は中断される。よって、受信側において、データの要求及び停止の操作を行うことができる。したがって、別途送信側において信号をいれて受信側にデータを伝送しなくても、受信側における基本クロック信号16Aを伝送するという簡単な操作でデータを受けることができるため、命令系が簡素化される。

【0042】そして、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路9で防止し、信号が該フィルタ回路9を通過するとき、または回路遅延の大きい長距離回線をドライブするときに発生する信号遅延を遅延回路7で微調整して相殺することができる。

【0043】そして、同期クロック側に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路7を設けるように構成したので、最終的な伝送経路で、同期クロック及び同期データを個別のフィルタ回路9により伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えるに同期クロックと同期データ間の位相を調整することができる。

【0044】図3は、第3実施例であるデータ要求タイプの他の同期伝送受装置の概略回路図である。同図において、送信側装置1Cと受信側装置2Cは伝送路10により接続されており、3は送信同期データ、4は送信同期クロック、5は受信データ、6は受信同期クロックを示す。送信側装置1C内には、ラインドライバー8、フィルタ回路9に接続され、伝送路10により受信側装置2Cに接続している。

【0045】受信側装置2Cにおいては、データ伝送路10Eに接続された終端11Eは、ラインレシーバ12Eに接続され、該ラインレシーバ12Eはデータ側遅延回路7Aに接続され、この遅延回路7Aはロータリースイッチ形式の調整手段60Aを介して、Dフリップフ

ロップ13EのD端子に接続されている。また、伝送路10Fに接続された終端11Fは、ラインレシーバー12Fに接続され、該ラインレシーバー12Fはクロック側遅延回路7Bに接続され、この遅延回路7Bはロータリースイッチ形式の調整手段60Bを介して、Dフリップフロップ13EのC端子に接続されている。フリップフロップ13Eの入力側に設けられたD端子及びC端子は、それぞれオシロスコープ等の測定器に接続して、そのポイントの波形を観測する。

【0046】図3の第3実施例では、受信側装置2C側でデータ要求／停止の操作が行えないバースト転送タイプの同期伝送送受装置を用いた例である。送信側装置1Cでは、受信同期データ3、送信同期クロック4は、フィルタ回路9を調整して波形整形、インピーダンス調整及び不要輻射の除去対策がなされる。よって、フィルタ回路9を通過した送信同期データ及び送信同期クロック信号は、伝送路10に送出されるが、伝送路10の信号は不要周波数成分の少ないものとなっている。

【0047】受信側装置2Cでは、インピーダンス調整、電圧レベル調整が行われたあと、終端11に接続されたラインレシーバー12によって受信される。受信側装置2Cでは、プログラマブル遅延回路7A、7Bが接続され、調整手段60A、60Bを介してDフリップフロップ13Eに接続され、該調整手段60A、60Bの端子の波形を観測しながら、データ側遅延回路7Aの調整手段60A、またはクロック側遅延回路7Bの調整手段60Bを操作して、遅延回路7の時定数の調整を行う。そして、ラインレシーバー12で受信されたデータ及びクロック信号を用いて、フリップフロップ13Eによりデータサンプリングを行い受信データ5として受信側装置2Cで使用される。

【0048】上述したように、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路9で防止し、信号が該フィルタ回路9を通過するとき、または回路遅延の大きい長距離回線をドライブするときに発生する信号遅延を遅延回路7で微調整して相殺することができる。

【0049】そして、同期クロック及び同期データの双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路7を設けるように構成したので、最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えずに同期クロックと同期データ間の位相を調整することができる。

【0050】図4は、第4実施例である同期伝送送受信装置27、及び28を示す回路の概略構成図である。同図において、送受信装置27と送受信装置28は3本の伝送路10A、10C、10Dにより接続されており、3A、3Bは送信同期データ、4は基本クロック、5A、5Bは受信データ、6A、6Bは受信同期クロック

を示す。送受信装置27内には、データ側遅延回路7A、クロック側遅延回路7B、及び7Dで構成されるプログラマブル遅延回路7が設けられ、この遅延回路7はロータリースイッチ形式の調整手段60A、60B、60Dに接続されている。

【0051】該調整手段60Aはラインドライバー8A、フィルタ回路9Aに接続され、伝送路10Aにより送受信装置28に接続している。また、調整手段60Bはラインドライバー8B、フィルタ回路9Bに接続され、伝送路10Dにより送受信装置28に接続している。また、調整手段60Bとラインドライバー8Bの接続端子は遅延回路7Dに接続され、該遅延回路7Dは調整手段60Dを介してDフリップフロップ13DのC端子に接続されている。そして、該フリップフロップ13DのD端子はラインレシーバー12Dを介して伝送路10Cに接続されている。

【0052】送受信装置28においては、データ伝送路10Aに接続された終端11Aは、ラインレシーバー12Aに接続され、該ラインレシーバー12AはDフリップフロップ13CのD端子に接続されている。また、伝送路10Dに接続された終端11Cは、ラインレシーバー12Cに接続され、該ラインレシーバー12CはDフリップフロップ13CのC端子に接続されている。そして、ラインドライバー8Dはフィルタ回路9Cを介して伝送路10Cと接続している。

【0053】送受信装置27は、受信同期データ3、基本クロック4は共に任意に設定可能なプログラマブル遅延回路7A、7Bを通過したあと、ラインドライバー8A、8Bにより所定の電圧電流レベルに調整され、フィルタ回路9A、9Bで波形整形、インピーダンス調整及び不要輻射の除去対策がなされる。

【0054】よって、フィルタ回路9A、9Bを通過した送信同期データ及び基本クロック信号は、伝送路10A、10Dに送出されるが、伝送路10の信号は不要周波数成分の少ないものとなっている。そして、送受信装置28では、データ信号3Aはインピーダンス調整、電圧レベル調整が行われたあと、終端11Aに接続されたラインレシーバー12Aによって受信される。ラインレシーバー12A、12Cで受信されたデータ及びクロック信号を用いて、フリップフロップ13Cによりデータサンプリングを行い受信データ5Aとして送受信装置28で使用される。

【0055】送受信装置28では、フリップフロップ13CのD端子、及びC端子の波形を観測しながら、データ側遅延回路7Aの調整手段60A、またはクロック側遅延回路7Bの調整手段60Bを操作して、もしくは両調整手段60A、60Bを調整して遅延回路7の時定数の調整を行う。また、送受信装置27では、データ信号3Bはインピーダンス調整、電圧レベル調整が行われたあと、終端11Dに接続されたラインレシーバー12D

を介して、フリップフロップ13Dに受信される。一方、基本クロック信号4は、遅延回路7Bを通過した後、遅延回路7Dによって時定数の調整が行われ、フリップフロップ13Dによりデータサンプリングを行い受信データ5Bとして送受信装置27で使用される。

【0056】このように、前記一方の送受信装置に設けられた同一の基本クロック信号発振源を用いて前記第1及び第2遅延回路により送信用及び受信用の同期をとっているので、前記遅延回路の調整幅を第1及び第2遅延回路ともに同じに設定でき、言い換えれば別々の基本クロック信号発振源を用いた場合は、その発振源の基本クロックに応じて遅延回路を設計することが必要であるが、同一発振源を用いるために同じ遅延回路を設ければよい。

【0057】上述したように、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路9で防止し、信号が該フィルタ回路9を通過するとき、または回路遅延の大きい長距離回線をドライブするときに発生する信号遅延を遅延回路7で微調整して相殺することができる。

【0058】そして、同期クロック及び同期データの双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路7を設けるように構成したので、最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えずに同期クロックと同期データ間の位相を調整することができる。

【0059】また、前記遅延回路は、データ伝送系及び同期クロック信号伝送系にそれぞれ設けているが、必ずしもこれに限定されるものではなく、同期クロック信号伝送系のみに配置して構成してもよいものである。データ伝達系とクロック信号伝達系とに遅延回路を設けて調整すると、お互いのステップ数の合計数の微調整が可能であり、調整レンジが広くなるが、量産効果による部品の均一化で、フィルタ回路の調整幅も狭いレンジで治まるようになると、遅延回路の調整幅は小でもよくなり、その場合には遅延回路は一方だけで足りる。

【0060】図6は、送信側装置1Aのラスタスキャニン印字画像生成装置のブロック図であり、図7は受信側装置2Aの露光装置の構成図であり、伝送路10によってお互いに接続されている。送信側装置1Aの入力側には、画像を記録するダイナミックRAM22が設けられて、該RAM22はシフトレジスタ21を介してデータ入力端と接続され、クロック入力端は掃き出しクロック源20を介して前記シフトレジスタ21と接続されている。

【0061】一方、受信側装置2Aのデータ出力端はシフトレジスタ23、データラッチ回路24、LEDアレイ25に接続され、クロック出力端は前記シフトレジスタ23と接続されている。図6のラスタスキャニン印字画

像生成装置では、ダイナミックRAM22内に画像データを生成してラスタスキャニン方式の格納順で保存している。

【0062】同期出力時には、画像データがダイナミックRAM22からシフトレジスタ21に順次読み出され、シフトレジスタ21は掃き出しクロック源20からのクロックに同期して画像データを直列化して送信側装置1Aに送る。上述したように、送信側装置1Aはフィルタ回路9により伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えずに同期クロックと同期データ間の位相を調整することができる。よって、伝送路10に同期クロックと同期データを送出する。

【0063】図7の露光装置では、受信側装置2Aにおいて伝送路10より同期クロックと同期データを受け取り、サンプリングによってデータの受信を行う。受信されたデータはシフトレジスタ23によってNビットの並列データに変換され、データラッチ24に蓄積し、LEDアレイ25を点灯させる。LEDアレイ25の点灯によって感光体ドラム26が露光される。

【0064】本実施例はこのように構成したので、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路9で防止し、信号が該フィルタ回路9を通過するとき、または回路遅延の大きい長距離回線をドライブするときに発生する信号遅延を遅延回路7で微調整して相殺することができ、感光体26に良好な画像形成を行うことができる。

【0065】そして、同期クロック及び同期データの片方または双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路7を設けるように構成したので、最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えずに同期クロックと同期データ間の位相を調整することができ良好な画像形成を行うことができる。

【0066】次に、ラスタスキャニン印字画像生成装置と露光装置の他の実施例を図8を用いて説明する。図6及び図7と同一部分は同一符号を用いる。送信側装置1Bの入力側には、画像を記録するダイナミックRAM22が設けられて、該RAM22はシフトレジスタ21を介してデータ入力端1Baと接続され、クロック端子1Bbは前記シフトレジスタ21と接続されている。

【0067】一方、受信側装置2Bのデータ出力端はシフトレジスタ23、データラッチ回路24、LEDアレイ25に接続され、クロック出力端は前記シフトレジスタ23と接続されている。図8のラスタスキャニン印字画像生成装置では、ダイナミックRAM22内に画像データを生成してラスタスキャニン方式の格納順で保存している。

【0068】同期出力時には、画像データがダイナミックRAM22からシフトレジスタ21に順次読み出さ

れ、シフトレジスタ21は、図2で説明したように基本クロック信号に同期して画像データを直列化して送信側装置1Bに送る。上述したように、送信側装置1Bはフィルタ回路9により伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与える同期クロックと同期データ間の位相を調整することができる。よって、伝送路10に同期クロックと同期データを送出する。

【0069】図8の露光装置では、受信側装置2Bにおいて伝送路10より同期データを受け取り、図2に開示した遅延調整されたクロックによりサンプリングによってデータの受信を行う。受信されたデータはシフトレジスタ23によってNビットの並列データに変換され、データラッ奇24に蓄積し、LEDアレイ25を点灯させる。LEDアレイ25の点灯によって感光体ドラム26が露光される。

【0070】本実施例はこのように構成したので、送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズをフィルタ回路9で防止し、信号が該フィルタ回路9を通過するとき、または回路遅延の大きい長距離回線をドライブするときに発生する信号遅延を遅延回路7で微調整して相殺することができ、感光体26に良好な画像形成を行うことができる。

【0071】上述したように、本実施例は、送信側装置及び受信側装置に図2に開示した装置を用いているので、受信側に設けられた基本クロック信号発振源から送信側に基本クロック信号16が送出され、この信号の送出中にデータが伝送される。具体的には、該信号パルス波形16Bがオンのときデータが伝送され、オフのときデータ伝送は中断される。よって、受信側において、データの要求及び停止の操作を行うことができる。したがって、別途送信側において信号をいれて受信側にデータを伝送しなくとも、受信側における基本クロック信号16を伝送するという簡単な操作でデータを受けることができるため、命令系が簡素化される。

【0072】次に、同期式データ転送により、プリンタ画像描画用CPU装置36からプリンタエンジン制御用CPU装置37へ、またはその逆のコマンド伝送を行う同期送受信装置27、28をそれぞれのCPU装置内部にもつ例を図9に示す。プリンタ画像描画用CPU装置36、プリンタエンジン制御用CPU装置37共にそれぞれコントローラ33、34、コマンド送出用パラレルシリアル変換シフトレジスタ29、32、コマンド受信用シリアルパラレル変換用シフトレジスタ31、30、図4に開示された同期伝送送受信装置27、28をもつ。

【0073】同期伝送送受信装置27は、図4に示すように、図1における送信部1と図2における受信部2を兼ね備えた送受信装置であり、同期伝送送受信装置28は、図2における送信部1と図1における受信部2を兼ね備えた送受信装置である。

【0074】プリンタ画像描画用CPU装置36内のコントローラ33から送信シフトレジスタ29に読み出されたデータ3Aは、同期伝送送受信装置27に送られる。該装置27内でフィルタリングされたデータ3A及びクロック信号は、伝送部35に送出されるが、伝送路35上の信号は不要周波数成分の少ないものとなっている。そして、フリップフロップ13C(図4)によりデータサンプリングを行い受信データ5Aとして受信シフトレジスタ30を介してコントローラ34に送られる。

【0075】また、同様に、プリンタエンジン制御用CPU装置37内のコントローラ34から送信シフトレジスタ32に読み出されたデータ3Bは、同期伝送送受信装置28に送られる。同期伝送送受信装置28内でフィルタリングされたデータ信号は、伝送部35に送出されるが、伝送路35上の信号は不要周波数成分の少ないものとなっている。そして、フリップフロップ13D(図4)によりデータサンプリングを行い受信データ5Bとして受信シフトレジスタ31を介してコントローラ33に送られる。

【0076】本実施例は、上述したように、前記プリンタ画像描画用CPU装置と前記プリンタエンジン制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0077】そして、前記一方の送受信装置に設けられた同一の基本クロック信号発振源を用いて前記第1及び第2遅延回路により送信用及び受信用の同期をとっているので、前記遅延回路の調整幅を第1及び第2遅延回路ともに同じに設定でき、言い換えれば別々の基本クロック信号発振源を用いた場合は、その発振源の基本クロックに応じて遅延回路を設計することが必要であるが、同一発振源を用いるために同じ遅延回路を設ければよい。

【0078】図10は、同期式データ転送により、操作指示キーボード装置45からプリンタ制御用CPU装置46へキー押下情報の伝送を同期送受信装置1C、2Cを用いて行う例である。キーボード装置45では、キーボードコントローラ42がキーマトリクス回路43を常時スキャンしてキー押下状態の変化を検知する。キー押下状態が変化した場合キーボードコントローラ42は送信シフトレジスタ40に対しキー押下状態変化情報を出力する。キー押下状態変化情報シリアルデータは、同期伝送送信装置1Cに送られ、同期クロックと共に伝送路10に送出される。伝送路10上の信号は、不要周波数成分の少ないものとなっている。

【0079】上述したように、前記入出力制御用CPU装置と前記プリンタ制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができ

る。

【0080】次に、同期式データ転送により、プリンタ制御用CPU装置55からオプション給紙装置54の制御を行う例を図11に示す。同期伝送送信装置2Aから伝送路10に送信された不要周波数成分の少ない同期伝送クロックと同期伝送データは、オプション給紙装置54内の同期伝送受信装置1Aによって受信され、受信シフトレジスタ51と出力ラッチ52によってモーター制御信号を生成し、給紙モーター53を制御する。

【0081】このように構成すると、前記プリンタ制御用CPU装置と前記ペーパーハンドリング制御用CPU装置のように送受信装置間が離れた同期式データ伝送では、伝送時に発生する不要輻射ノイズを防止するためのフィルタ回路調整を行うことにより発生する信号遅延を調整することができる。

【0082】そして、上述のプリンタ装置において、同期クロック及び同期データの片方または双方に、システム基本クロック未満の任意の遅延を挿入できるプログラマブル遅延回路を設けるように構成したので、プリンタ装置内の最終的な伝送経路で、同期クロック及び同期データを個別の伝送路マッチング調整を行った後、伝送路マッチング状態に影響を与えるに同期クロックと同期データ間の位相を調整することができる。

【0083】上述したように、本実施例は、ラスタスキャン印字画像データを画像生成装置より露光光源装置に同期式シリアル伝送方式で伝送するプリンタ装置において、同期クロックと同期データ間の位相と伝送路インピーダンスマッチングの双方を独立して調整することができるため、フィルタ回路の設計時において、その遅延の影響を意識しなくて済む。また、位相調整のためにデータ及びクロックラインに同一のフィルタ回路を形成する必要もないため、波形整形のみに徹したローコストなフィルタ回路を形成できる。さらに、共通インピーダンス等の並行する伝送路からの伝送速度に同期したノイズをプログラマブル遅延回路によってキャンセルすることができる。

【0084】

【発明の効果】以上詳述したように、本発明は、回線遅延を相殺する最適な遅延を設定する同期式データ伝送方式を提供することができる。

【図面の簡単な説明】

【図1】バースト転送タイプの同期伝送送受装置（送信側装置1A、受信側装置2A）を示す回路の概略構成図である。

【図2】データ要求タイプの同期伝送送受装置（送信側装置1B、受信側装置2B）を示す回路の概略構成図である。

【図3】バースト転送タイプの他の実施例に係る同期伝送送受装置（送信側装置1C、受信側装置2C）を示す回路の概略構成図である。

【図4】同期伝送送受信装置27、及び28を示す回路の概略構成図である。

【図5】調整ポイント14、15の波形図である。

【図6】プリンタ装置のラスタスキャン印字画像生成装置のブロック図である。

【図7】プリンタ装置の露光装置の構成図である。

【図8】プリンタ装置のラスタスキャン印字画像生成装置と露光装置の他の実施例に係るブロック構成図である。

【図9】プリンタ画像描画用CPU装置36とプリンタエンジン制御用CPU装置37の関係を示すブロック図である。

【図10】キーボード装置45とプリンタ制御用CPU装置46の関係を示すブロック図である。

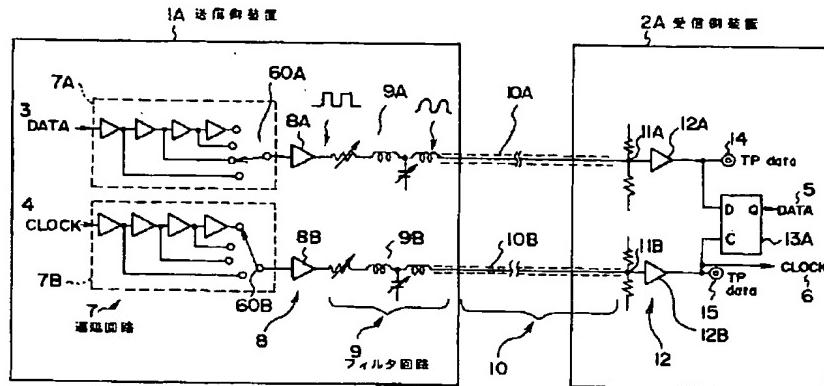
【図11】プリンタ制御用CPU装置55とオプション給紙装置54の関係を示すブロック図である。

【符号の説明】

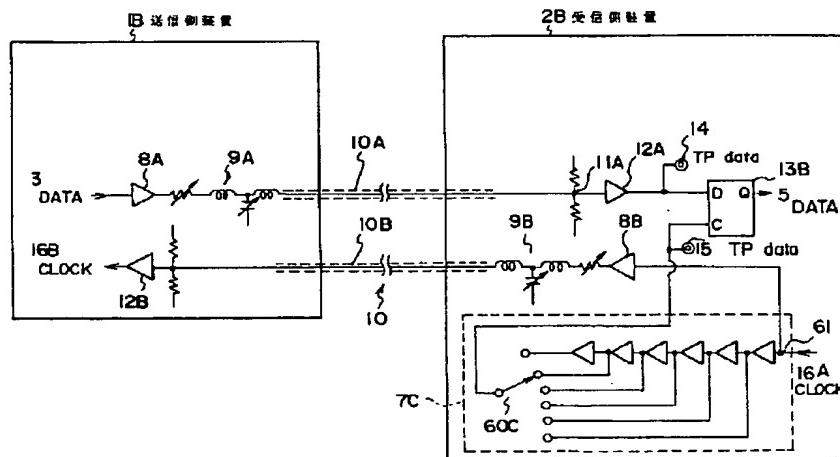
1	送信側装置
2	受信側装置
3	送信同期データ
4	基本クロック
5	受信データ
6	受信同期クロック
7	プログラマブル遅延回路
8	ラインドライバー
9	フィルタ回路
10	伝送路
12	ラインレシーバー
13	フリップフロップ
14	データ調整ポイント
15	クロック調整ポイント
16	送信要求同期クロック
20	掃き出しクロック源
21、23	シフトレジスタ
22	画像メモリ（ダイナミックRAM）
M)	
24	データラッチ
25	LEDアレイ
26	感光体ドラム
27、28	同期伝送送受信装置
29、32、40	送信シフトレジスタ
30	受信シフトレジスタ
31、41	受信シフトレジスタ
33、34、44	プログラマブルコントローラ
35	伝送路
36	プリンタ画像描画用CPU装置
37	プリンタエンジン制御用CPU装置
置	
42	キーボードコントローラ
43	キーマトリクス

45	キーボード装置	53	給紙モーター
46	プリンタ制御用CPU装置	54	給紙装置
50	送信シフトレジスタ	55	プリンタ制御用CPU装置
51	受信シフトレジスタ	57	プログラマブルコントローラ
52	出力ラッチ		

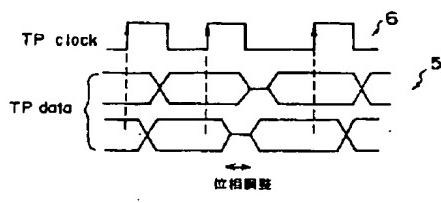
【図1】



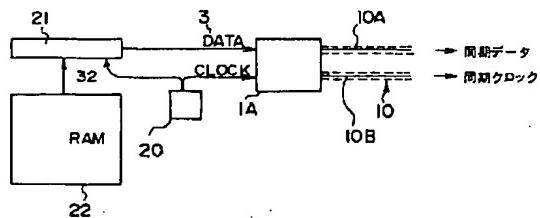
【図2】



【図5】

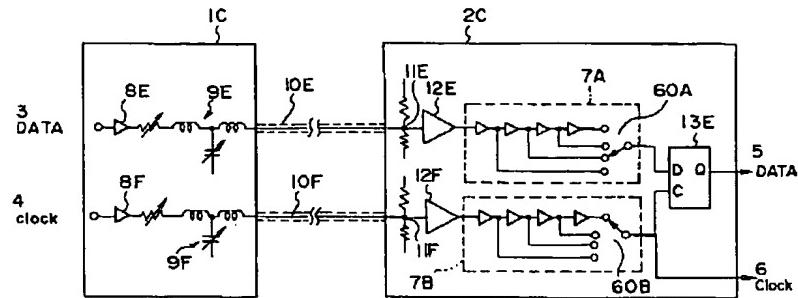


【図6】

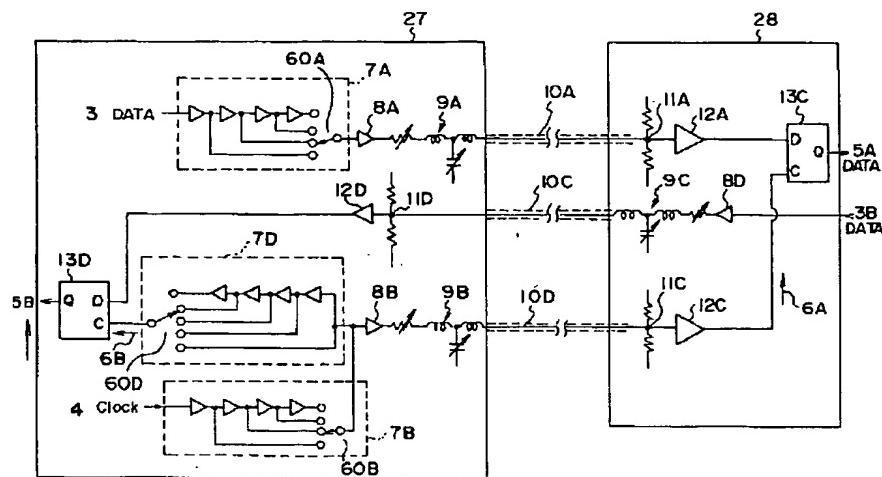


REST AVAILABLE COPY

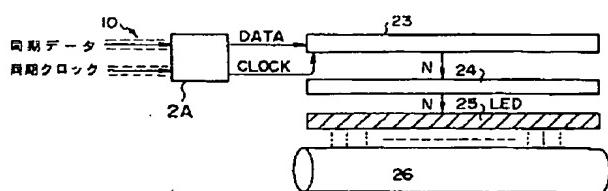
【図3】



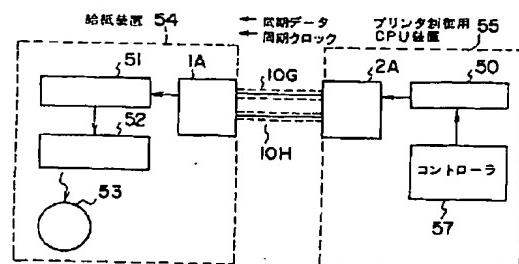
【図4】



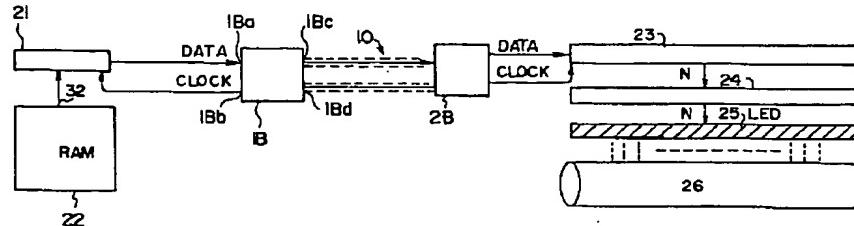
【図7】



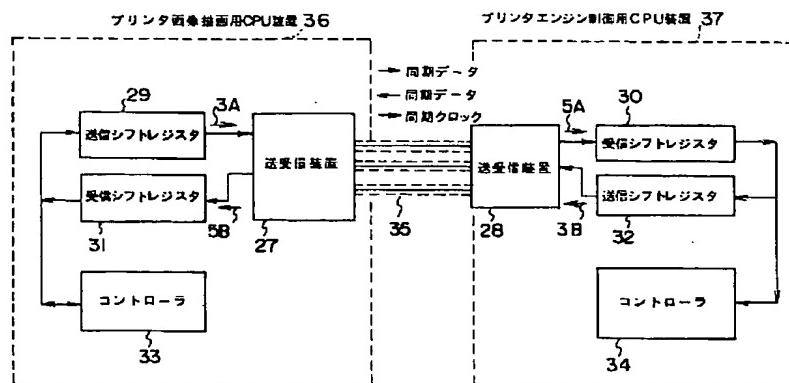
【図11】



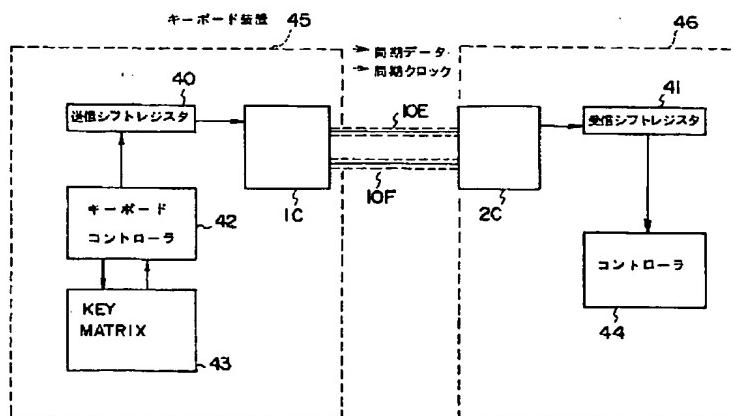
【図8】



【図9】



【図10】



BEST AVAILABLE COPY